

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 9 1 7 5 9

(43) 公開日 平成 1 1 年 (1999) 7 月 1 3 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H04L 7/033			H04L 7/02	B
H04N 7/24			H04N 5/04	Z
// H04N 5/04			7/13	Z

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平 9 - 3 5 7 9 0 4
(22) 出願日 平成 9 年 (1997) 1 2 月 2 5 日

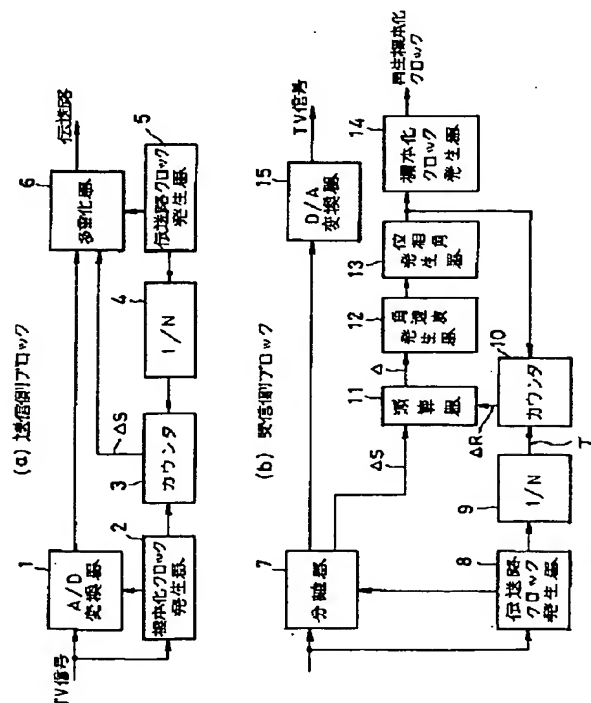
(71) 出願人 0 0 0 2 3 2 0 4 7
日本電気エンジニアリング株式会社
東京都港区芝浦三丁目 1 8 番 2 1 号
(72) 発明者 鈴木 典生
東京都港区芝浦三丁目 1 8 番 2 1 号 日本
電気エンジニアリング株式会社内
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 標本化クロック再生回路

(57) 【要約】

【課題】 引き込み時の高速引き込み時間を、制御周期のオーダの時間 (数十ミリ秒) に短くすると共に、定常時の周波数安定性を非常に高くできるようにした標本化クロック再生回路を提供する。

【解決手段】 受信側において、伝送路クロック発生器 8 にて再生された伝送路クロックに対する再生標本化クロックの相対周波数情報 ΔR を、周期 T 毎に、分周器 9 とカウンタ 10 にて計数して検出し、この情報 ΔR と送信側から送られている相対周波数情報 ΔS との差 Δ を減算器 11 にて求め、この差 Δ に応じた角速度を角速度発生器 12 にて生成し、この角速度に応じた位相角を位相角発生器 13 にて生成する。この位相角に基づき標本化クロック発生器 14 にて再生標本化クロックを生成する。これにより、高速でかつ高精度の標本化クロックが再生可能となる。



【特許請求の範囲】

【請求項 1】 送信側においてデジタル信号の標本化周波数とこのデジタル信号の伝送路クロックとの相対周波数情報を一定周期毎に計数して当該デジタル信号と共に送信するようにした伝送システムにおける標本化クロック再生回路であって、受信側において、受信情報から前記伝送路クロックを再生する手段と、再生標本化クロックを生成する標本化クロック生成手段と、この再生標本化クロックと再生された伝送路クロックとの相対周波数情報を生成する手段と、この受信側の相対周波数情報と送信側の相対周波数情報との差分を検出する減算手段と、この差分に応じて前記再生標本化クロックの角速度情報を生成する手段と、この角速度情報に従って位相角情報を生成する位相角生成手段とを含み、この位相角情報に応じて前記再生標本化クロック生成手段は前記再生標本化クロックを生成するようにしたことを特徴とする標本化クロック再生回路。

【請求項 2】 前記位相角生成手段は、前記角速度情報を積分して位相角情報を生成するようにしたことを特徴とする請求項 1 記載の標本化クロック再生回路。

【請求項 3】 前記減算手段は、前記送信側の相対周波数情報を平均化してこの平均化された送信側相対周波数情報と前記受信側の相対周波数情報との差分を検出するようにしたことを特徴とする請求項 1 または 2 記載の標本化クロック再生回路。

【請求項 4】 前記相対周波数情報を生成する手段は、前記再生された伝送路クロックを所定分周比で分周して得られた周期毎の前記再生標本化クロックの計数値を前記再生相対周波数情報とすることを特徴とする請求項 1 ～ 3 いずれか記載の標本化クロック再生回路。

【請求項 5】 前記相対周波数情報を生成する手段は、前記再生標本化クロックを所定分周比で分周して得られた周期毎の前記再生伝送クロックの計数値を前記再生相対周波数情報とすることを特徴とする請求項 1 ～ 3 いずれか記載の標本化クロック再生回路。

【請求項 6】 前記再生標本化クロック生成手段は、前記位相角情報に応じた位相角を有する PCM の正弦波を生成する正弦波生成手段と、この PCM 正弦波をアナログ信号に変換する手段と、このアナログ信号を矩形波に変換して前記再生標本化クロックを出力する手段とを有することを特徴とする請求項 1 ～ 5 いずれか記載の標本化クロック再生回路。

【請求項 7】 前記正弦波生成手段は、前記位相角情報の各々に対応した位相角を有する PCM の正弦波情報を予め格納した読出し専用メモリであることを特徴とする請求項 6 記載の標本化クロック再生回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は標本化クロック再生回路に関し、特に画像信号を符号化して伝送する伝送シ

ステムにおいて受信側で標本化クロックを再生するための標本化クロック再生回路に関するものである。

【 0 0 0 2 】

【従来の技術】 テレビ符号化伝送装置において、入力テレビ画像信号をこの画像信号に同期した標本化クロックで標本化して符号化し伝送した場合、受信側で画像信号を復号化するために標本化クロックを再生する必要がある。この様な、標本化クロックの再生をなす従来技術として、特開平 5 4 - 5 1 3 0 5 号公報や特開昭 6 3 - 2 3 4 4 5 4 号公報に示される様な構成がある。

【 0 0 0 3 】 送信側では、一定した周期毎に標本化クロックと伝送路クロックとの周波数のカウンタの値を相対周波数情報 ΔS として求めて受信側に伝送する。受信側では、再生伝送路クロックと周波数のカウンタのずれを受信側の相対周波数情報 ΔR として求め、相対周波数情報の差分 $\Delta = \Delta S - \Delta R$ の値により、受信側の再生標本化クロック用 VCXO (電圧制御発振器) の発振周波数を制御して、送信側と受信側との周波数情報が一致するようにして、送信側の標本化クロックに周波数同期した標本化クロックを再生するものである。

【 0 0 0 4 】 図 7 はかかる構成を示すブロック図であり、(a) の送信側において、テレビ信号は A/D 変換器 1 にて標本化クロック発生器 2 からの標本化クロックにより標本化されつつデジタル信号に変換される。このデジタル信号は多重化器 6 にて相対周波数情報 ΔS と共に多重化されて、伝送路クロック発生器 5 からの伝送路クロックにより図示せぬ伝送路を介して伝送される。

【 0 0 0 5 】 伝送路クロックは分周器 4 にて N 分周されて、この分周周期毎における標本化クロックの数をカウンタ 3 にて計数した数を相対周波数情報 ΔS として、多重化器 6 へ送出されるようになっている。

【 0 0 0 6 】 図 7 (b) の受信側においては、伝送路からの伝送路クロックが伝送路クロック発生器 8 にて再生される。一方、再生標本化クロックを生成するための VCXO 1 8 が設けられており、先の再生伝送路クロックを分周器 9 で N 分周した周期毎に当該再生標本化クロックをカウンタ 1 0 で計数した値を受信側相対周波数情報 ΔR としている。

【 0 0 0 7 】 この受信側相対周波数情報 ΔR は分離器 7 から分離された送信側相対周波数情報 ΔS と減算器 1 1 にて減算され、この差分 Δ がデジタルフィルタ 1 6 を介して D/A 変換器 1 7 へ入力されてアナログ化され、VCXO 1 8 の制御電圧となるものである。これにより、受信側の相対周波数情報 ΔR が制御され、更に差分 Δ が変化制御されるというフィードバックループ制御が行われて、最終的には、差分信号 Δ が 0 となるところに収束するようになるのである。

【 0 0 0 8 】

【発明が解決しようとする課題】 画像信号を高品質に再

10

20

30

40

50

生するためには標準化クロックを送信側に高精度に追従させて発生させる必要があるが、相対周波数情報の精度だけ周波数の誤差変動を生じる。この変動を小さくするために、フィードバックループのフィルタの時定数を大きくすると、定常ジッタは減少するが、送受で周波数がずれた場合に、周波数が一致するまでの引込み時間がかかる欠点があった。

【0009】そして、VCXOの周波数はアナログ制御で特性にばらつきがあり、かつフィードバックループの時定数による応答時間の遅れがあるため、誤差信号 Δ から正確な標準化クロックの周波数補正を行なうと、引込み時間を短くしようとしても簡単に行なえなかった。引込みを高速にできたとしても、引込み時間は、従来の方式では周波数情報が送られてくる制御周期(数十ms)に対して10倍以上の秒のオーダーの時間が必要であった。

【0010】放送TV信号を画像符号化装置を使用して伝送する場合、多段に接続される場合があり、このとき標準化クロックの追従性が問題となる。すなわち、中央局から地方局に分配した信号が、地方の各局を経て再び送信の中央局まで戻すシステム構成と、その信号を基準信号として放送系を運用したり戻ってきた信号を見て正しく伝送されていることを確認する様なシステム構成が行われる。

【0011】この場合、中間の局ではデジタル信号が一旦アナログ信号に戻されるため、符号化復号化が何回も多段に繰り返されることになり、場合によっては20~30段も、行われることになる。このとき、引込み時間は安定性を犠牲にして引込みを時間を短くしても、1段で数秒かかるとすると、30段の最終段では、1分以上引込み時間がかかることになり、この時間の間は再生した標準化クロックが安定せず、従って再生TV画像の品質がこの間劣化するという欠点があった。

【0012】これに対して、時定数を切替える方法として、変動の大きい場合は時定数を小さくして、安定している場合は時定数を大きくする方法があるが、最短の時間で引込むために、時定数の特性の種類と切替えのタイミングやVCXOのフィードバック系を安定に制御する必要があるが、制御が難しく満足する結果が得にくいという問題があった。

【0013】一つの改善方法として、制御電圧を差分信号 Δ に比例して発生させるのではなくて、差分信号が大きいときには高速に引込むために利得を大きくし、差分信号 Δ が小さいときには周波数が安定する様に小さい利得となる様な非線形利得の特性を誤差信号 Δ に与える回路を設けてVCXOを制御することにより、自動的に高速引込みと周波数安定化を図る制御方法がある。しかしながら、この方法では、安定時の引込み周波数を高くしようとすると誤差信号の小さいところの傾きを小さくする必要があり、この制御特性に従って漸近線的に引込み

が行われるため、引込み時間のある程度改善できるが、引込みの時間を秒のオーダー以下にするのは困難であった。

【0014】本発明の目的は、従来の標準化クロック再生方式において引き込み時間が秒のオーダーかかるという欠点をなくして、引き込み時の高速引き込み時間を、制御周期のオーダーの時間(数十ミリ秒)に短くすると共に、定常時の周波数安定性を非常に高くできるようにした標準化クロック再生回路を提供することである。

【0015】

【課題を解決するための手段】本発明によれば、送信側においてデジタル信号の標準化周波数とこのデジタル信号の伝送路クロックとの相対周波数情報を一定周期毎に計数して当該デジタル信号と共に送信するようにした伝送システムにおける標準化クロック再生回路であって、受信側において、受信情報から前記伝送路クロックを再生する手段と、再生標準化クロックを生成する標準化クロック生成手段と、この再生標準化クロックと再生された伝送路クロックとの相対周波数情報を生成する手段と、この受信側の相対周波数情報と送信側の相対周波数情報との差分を検出する減算手段と、この差分に応じて前記再生標準化クロックの角速度情報を生成する手段と、この角速度情報に従って位相角情報を生成する位相角生成手段とを含み、この位相角情報に応じて前記再生標準化クロック生成手段は前記再生標準化クロックを生成するようにしたことを特徴とする標準化クロック再生回路が得られる。

【0016】そして、前記位相角生成手段は、前記角速度情報を積分して位相角情報を生成するようにしたことを特徴とし、また、前記減算手段は、前記送信側の相対周波数情報を平均化してこの平均化された送信側相対周波数情報と前記受信側の相対周波数情報との差分を検出するようにしたことを特徴とする。

【0017】更に、前記相対周波数情報を生成する手段は、前記再生された伝送路クロックを所定分周比で分周して得られた周期毎の前記再生標準化クロックの計数値を前記再生相対周波数情報とすることを特徴とし、また、前記相対周波数情報を生成する手段は、前記再生標準化クロックを所定分周比で分周して得られた周期毎の前記再生伝送路クロックの計数値を前記再生相対周波数情報とすることを特徴とする。

【0018】更にはまた、前記再生標準化クロック生成手段は、前記位相角情報に応じた位相角を有するPCMの正弦波を生成する正弦波生成手段と、このPCM正弦波をアナログ信号に変換する手段と、このアナログ信号を矩形波に変換して前記再生標準化クロックを出力する手段とを有することを特徴とし、前記正弦波生成手段は、前記位相角情報の各々に対応した位相角を有するPCMの正弦波情報を予め格納した読出し専用メモリであることを特徴とする。

【0019】本発明の作用を述べる。送信側における相対周波数情報 ΔS と受信側相対周波数情報 ΔR との差分 Δ を検出して、この差分 Δ に従って再生標準化クロックの角速度の値を制御する。この角速度を積分して位相角を得て、この位相角に従って再生標準化クロックを生成することで、差分 Δ がゼロになるようになって、送信側の標準化クロックと受信側の再生標準化クロックとの周波数が等しく制御される。

【0020】すなわち、VCOを使用することなく、位相角から再生標準化クロックを得ているので、誤差信号から正確に周波数補正を行うことが可能である。この場合、所定の周期Tで上記差分 Δ の制御を行うことにより、当該周期T毎に正確な周波数制御が可能であり、この制御周期を数十msとすると、一段当りの周波数応答の遅延は数十msとなるので、再生側のみを考えると、30段でも高々3秒に収まることになる。よって、本発明では、制御周期毎に正確に周波数補正を行うことができるので、次の制御周期では、正しく補正された周波数の標準化クロックを得ることができ、高速引き込みが可能となるのである。

【0021】

【発明の実施の形態】以下に図面を参照しつつ本発明の実施例を説明する。

【0022】図1は本発明の実施例のシステムブロック図であり、図7と同等部分は同一符号により示されている。送信側の構成である図1(a)のブロックは従来の構成である図7(a)のそれと同一であり、その説明は省略する。図1(b)は受信側の構成を示すブロック図であり、伝送路クロック発生器8にて再生された伝送路クロックは分周器9にてN分周されて当該分周周期T毎にカウンタ10の計数動作を制御する。すなわち、カウンタ10はこの周期T毎に再生標準化クロックの計数をなすものであり、本例では、計数精度を向上せしめるために標準化クロック発生回路14から再生標準化クロックを計数する代わりに、位相角発生器の出力である位相角情報の計数を行っている。

【0023】このカウンタ10の出力が相対周波数情報 ΔR であり、この受信側相対周波数情報 ΔR と送信側相対周波数情報 ΔS との差分 Δ が減算器11にて算出される。この差分 Δ は角速度発生器に12へ供給されてこの差分に応じた角速度情報が生成される。この角速度情報は位相角発生器13へ入力されてこの角速度情報が積分されることにより、位相角情報が生成される。そして、この位相角情報の応じた周波数の標準化クロックが標準化クロック発生器14にて生成され、再生標準化クロックとして導出される。

【0024】この標準化クロック再生回路は画像符号化伝送システムに用いられるが、この画像符号化伝送システムの伝送クロック周波数が155.52MHzであり、標準化周波数が14.31818MHz(4倍のサ

ブキャリア周波数Fsc)に設定されており、画像信号を10ビットでA/D変換して伝送する。

【0025】相対周波数情報 ΔS は8KHzの伝送路フレームの周期の512倍毎の周期で送られる。すなわち、周期Tは64msとなる。従って、相対周波数情報 ΔS は周期T毎の送信側の標準化周波数のカウント値Mであり、Mは約916364となる。

【0026】周波数の変動は100ppmから500ppm程度であるので、下位の8ビットから10ビットを相対周波数情報 ΔS として送る。受信側では、この情報を元に標準化クロックを再生する。相対周波数情報 ΔS が1変化すると、 $1/M = 1/916364 = 1.1\text{ppm}$ の周波数ずれが生じたことになり、すなわち ΔS の量子化精度はこれだけであることになる。

【0027】この ΔS の精度が高くないと、本発明の構成で追従精度を良くすると、相対周波数情報の量子化雑音の影響が再生標準化クロックに現れる恐れがある。これを改善する方法として相対周波数情報の精度を平均化処理によって高める様に構成することができる。この構成を第2の実施例として図2に示す。

【0028】尚、図1の詳細については、この第2の実施例と実質的に同一であるので、当該第2の実施例の説明で代替するものとする。

【0029】図2を参照すると、図1と同等部分は同一符号にて示しており、受信側における標準化クロック再生部分のみを抽出して示しているが、他は図1の例と同等である。図1の分離器7から分離された送信側相対周波数情報 ΔS は平均化回路21に平均化処理されて減算器11の二入力となっている。伝送路クロック発生器8からの伝送路クロックは分周器9にて $1/N$ に分周され、基準周期Tを発生してカウンタ10へ供給される。

【0030】このカウンタ10は基準周期T毎に位相角で示される再生標準化クロックの数を計数して、この計数値を受信側相対周波数情報 ΔR として減算器11の他入力とする。減算器11は両入力の減算を行って誤差 Δ を生成する。角速度発生器12は当該誤差から補正すべき角速度の値を求め、元の角速度にこれを加算して補正された角速度として位相角発生器13へ供給する。

【0031】位相角発生器13は基本クロック発生回路22から供給される基本クロック毎に角速度を加算して位相角を算出し、カウンタ10及び標準化クロック発生器14へ供給する。標準化クロック発生器14は標準化クロックの位相角からこの位相角に応じたPCMの正弦波を発生し、これをD/A変換して更に矩形波に整形処理して再生標準化クロックを生成する。

【0032】基本クロック回路22は独自でクロックを発生する様にしても良いが、発生回路が簡単になる様に、伝送路クロック発生器8からの伝送路クロックを分周して出力する構成手とするのが良い。この基本クロックの周波数は、標準化クロックの周波数がナイキスト周

10

20

30

40

50

波数以下になる様に、その 2 倍以上の値に選ぶ必要があるが、ここでは 3 ~ 4 倍の値にする。

【 0 0 3 3 】 図 2 の各部の構成を詳しく説明する。平均化回路 2 1 は ΔS の量子化の誤差の影響を少なくするため、以前の 8 サンプル (または 4 サンプル) の平均を求め、平均化した送信側の周波数情報として、小数点以下 3 ビットの精度で出力する。 ΔS が急激に変化したときは、平均化を行なっていると周波数追従が遅れるので、その場合は平均化を行なわないで、そのままの値を出力する。

【 0 0 3 4 】 演算器 1 1 は小数点以下 3 ビット精度で送信側周波数情報 ΔS から受信側周波数情報 ΔR の差分を求め、差分信号 Δ を出力する。角速度発生器 1 2 は標準化クロック周期毎の角速度を発生する。それまでの角速度 W に対して、誤差信号 Δ だけ周波数を高めるためには、角速度 Δ/M だけ補正する。

【 0 0 3 5 】 角速度は基準クロックの周期の間に標準化クロック FS が回転する角度となる。基準クロックを伝送路クロック FL の $1/4 = 38.88 \text{ MHz}$ の値に設定するとすると、標準化クロックの中心周波数の角速度 W_0 は $360 \text{ 度} \times (4 \cdot FS / FL) = 132.57572 \text{ 度}$ となる。誤差信号が Δ の場合、角速度の補正は $W_0 \times (\Delta/M)$ の値で行われる。

【 0 0 3 6 】 W_0/M の単位角速度は 0.0001446 度 となり、角速度を表すのに、 360 度 を 2 の n ビットの値で示すこととし、その大きさを正規化して表すすると、単位角速度の 0.0001446 度 は $1/2488321$ の値となり、少なくとも 21 ビット以上の精度が必要である。単位角速度は 21 ビット (2097152) では 1 の大きさ、24 ビット (8388608) では 7 の大きさとなる。ちなみに、中心周波数の角速度は 21 ビットのとき 772310、24 ビットのとき 617447 となる。

【 0 0 3 7 】 誤差信号が小数点以下の精度 (本実施例では 3 ビット) を有することにより、単位角速度の精度は 24 ビットで角速度を示すことにする。角速度 W は前回の角速度 W に誤差信号による補正值 ($\Delta \times 7$) を加算して補正された角速度を出力する。電源投入のときなどで、リセットが行われたときは、中心周波数の角速度 W_0 (6178447) の値を最初は出力する。

【 0 0 3 8 】 位相角発生器 1 3 は角速度 W を基準クロック毎に積分して位相角 θ を得て出力する。24 ビットの精度で積分を行なう。24 ビットを超えた値は 360 度 を超えた値なので捨てる。 38.88 MHz のクロック周期で 24 ビットの積分を行なうには高速の素子が必要であるが、4 相に展開して 9.72 MHz のクロックで積分を行い、各積分値を、 38.88 MHz で選択切替える構成にすれば、通常の素子で構成できる。

【 0 0 3 9 】 標準化クロックの位相角 θ は上位の必要なビット数がカウンタ 7 に供給され、同様に標準化クロック

ク発生器 1 4 に供給される。本実施例では、カウンタには上位 3 ビット、標準化クロック発生器 1 4 には上位 8 ビットが供給される。

【 0 0 4 0 】 標準化クロック発生器 1 4 の具体的構成例を図 3 に示す。正弦波テーブル 3 1 と D/A 回路 3 2 と矩形波回路 3 3 とから構成される。正弦波テーブル 3 1 は 8 ビットの位相角に対する PCM の正弦波を発生する ROM (リード専用メモリ) で、8 ビットの位相角に対する 8 ビットの正弦波信号を出力し、 D/A 回路 3 2 は PCM 値をアナログの正弦波信号に変換し、矩形波回路 3 3 で正弦波を矩形波に変換して標準化クロックを得る。得られた標準化クロックは D/A 変換器 1 5 に供給される。

【 0 0 4 1 】 図 4 に、標準化クロック発生器 1 4 の別な具体的構成例を示す。標準化クロック発生器 1 4 の回路を簡単にする方法として、正弦波テーブル 3 1 及び D/A 変換器 3 2 にビット数を少なくして、得られた荒い精度の標準化クロック信号を、 Q が高いタンク回路または BPF を通過させて精度の高いクロックを得る方法である。

【 0 0 4 2 】 図 5 に、正弦波テーブル 3 1 の代わりに用いるクロック波形発生器 3 4 の具体的構成例を示す。標準化クロックに用いる位相角の精度を 3 ~ 4 ビットにして、ROM による正弦波テーブル 3 1 を用いないで、クロック波形発生器 3 4 を用いる。位相角から PCM 値の正弦波を求める代わりに、演算により PCM 値の三角波を得る。

【 0 0 4 3 】 n ビットの信号は信号値 i が $0 \sim N-1$ ($N=2$ の n 乗) の値をとる。三角波の出力信号 Y は、位相角の信号の上位 n ビットの信号値 i から以下の変換で求められる。

【 0 0 4 4 】

$Y = i$: $0 \leq i < N/4$ の場合

$Y = N/4 - i$: $N/4 \leq i < 3N/4$ の場合

$Y = i - N$: $3N/4 \leq i < N$ の場合

例えば、 $n=3$ の場合、 $i=0 \sim 7$ で変化する時に Y の値は 0, 1, 2, 1, 0, -1, -2, -1, 0 の PCM 値をとる。この三角波の信号を近似的に正弦波の代わりに用いることができる。3 ビットの信号であれば、 D/A 変換も簡単に行なうことが可能である。

【 0 0 4 5 】 基本クロック発生回路 2 2 は 155.52 MHz の伝送路クロックから 38.88 MHz の基本クロックを発生する。カウンタ 1 0 は標準化クロックの数を位相角からカウントしフリーカウントする。位相角の上位 3 ビットが $000 \sim 111$ の間で変化するが、 111 から 000 に変化した時、すなわち 0 度 を越えた時、カウンタのカウントを行う。整数のカウント値と小数点以下 3 ビットの位相角の信号値は周期 T 毎に標準化され、前回との差を演算して周期 T でのカウント値を求め、受信側の周波数情報 ΔR として減算器 2 に供給す

る。

【0046】伝送路クロック再生回路8は伝送路の信号から伝送路クロックを再生する。155.52MHzの伝送路クロックはそのままの周波数では高速動作の回路が必要となるので、8分周したワード単位のクロック19.44MHzを得て、各信号はワード毎に19.44MHzのクロックで処理される場合がある。この時は、ワード単位のクロックから2倍の基準クロックを発生するか、ワード単位のクロックを求める時に2倍の周波数(38.88MHz)が得られる様に構成する。

【0047】1/Nの分周期9は、伝送路クロックFL(155.52MHz)を8×2430分周して8KHzの周波数が得られるが、これを更に512分周して周期Tを得る。

【0048】平均化回路21の機能を満たす代わりに方法として、平均化は行わないでそのまま誤差信号Δを求め、誤差信号から各値を補正する時に適応的に補正量を変える構成とする。送信側周波数情報ΔSと誤差信号の変化状態を見て変化が少なくなったら安定状態と判定して、角速度の補正値を予め定められた変化量の値以下にリミットして補正する方法がある。この場合には、小数点以下の演算が不要となるので、回路が少し簡単にできる。

【0049】図6は標準化クロックをN分周して周波数情報をカウントする周期Tを求め、この周期における伝送路クロックの数をカウンタでカウントし、この値を相対周波数情報とする構成である。第1の実施例と比較して、分周器とカウンタを動作させるクロックが逆になる。その他の構成は同じである。

【0050】

【発明の効果】本発明によれば、相対周波数情報の差分信号から補正した角速度を求め、差分信号の誤差を補正した角速度を基本クロック周期毎に積分して位相角を得

て、これを基に標準化クロックを発生するため、制御周期Tの時間(数十msの時間)で素早く周波数追従でき、また平均化の方法または振幅制限の方法を用いれば、周波数精度を非常に高くすることができることにより、引込みを高速にかつ精度が高く安定した標準化クロックを再生することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例を示す図であり、(a)は送信側、(b)は受信側の各ブロック図である。

10 【図2】本発明の他の実施例の一部ブロック図である。

【図3】標準化クロック発生器14の一例を示す図である。

【図4】標準化クロック発生器14の他の例を示す図である。

【図5】クロック波形発生器34の例を示す図である。

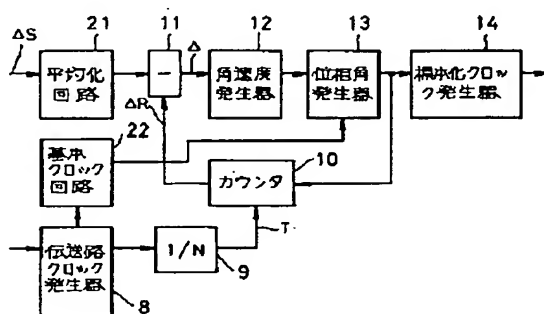
【図6】本発明の別の実施例を示す図であり、(a)は送信側、(b)は受信側の各ブロック図である。

20 【図7】従来の標準化クロック再生回路の例を示す図であり、(a)は送信側、(b)は受信側の各ブロック図である。

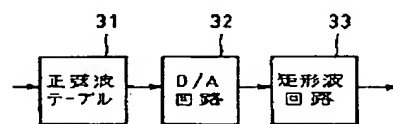
【符号の説明】

- 1 A/D変換器
- 2 標準化クロック発生器
- 3, 10 カウンタ
- 4, 9 分周器
- 5, 8 伝送路クロック発生器
- 6 多重化器
- 7 分離器
- 11 減算器
- 12 角速度発生器
- 13 位相角発生器
- 14 標準化クロック発生器
- 15 D/A変換器

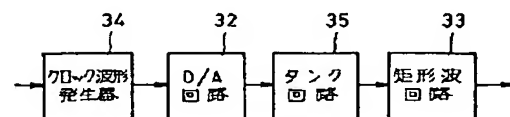
【図2】



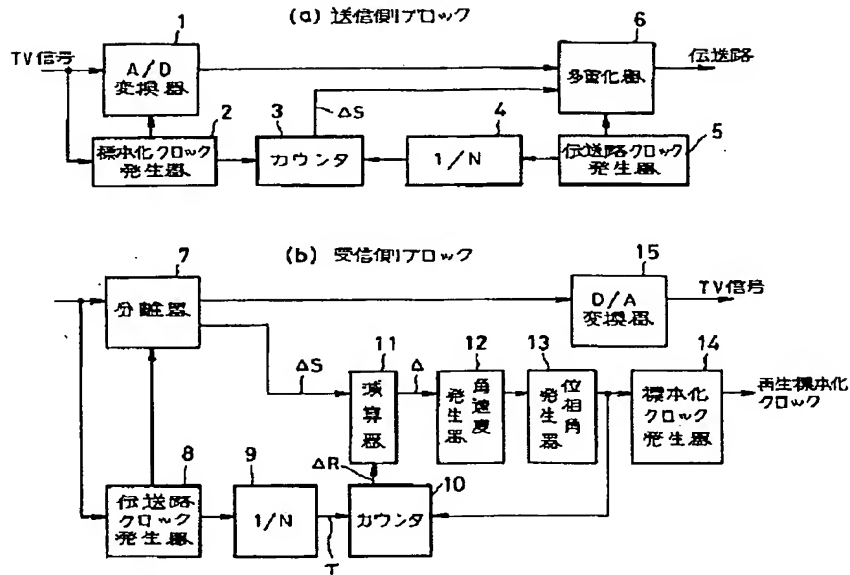
【図3】



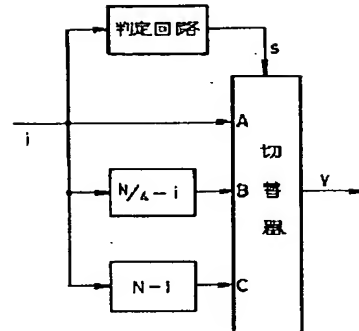
【図4】



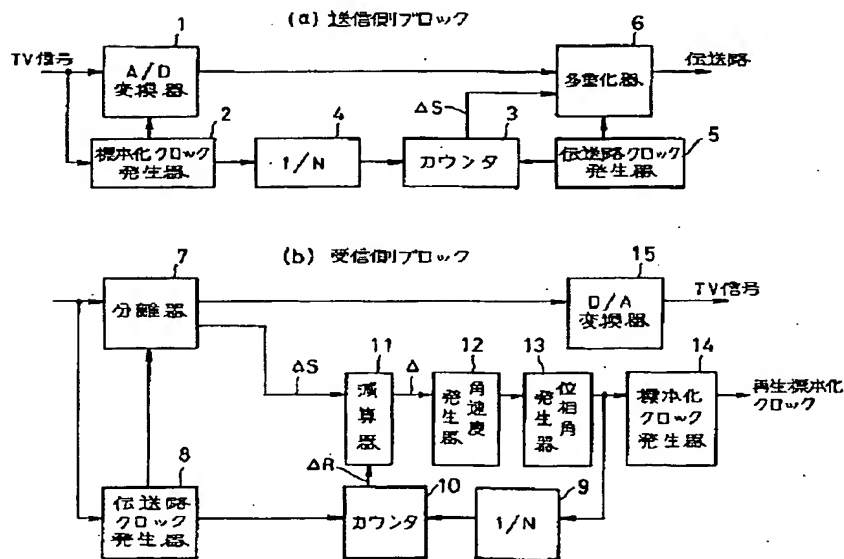
【図 1】



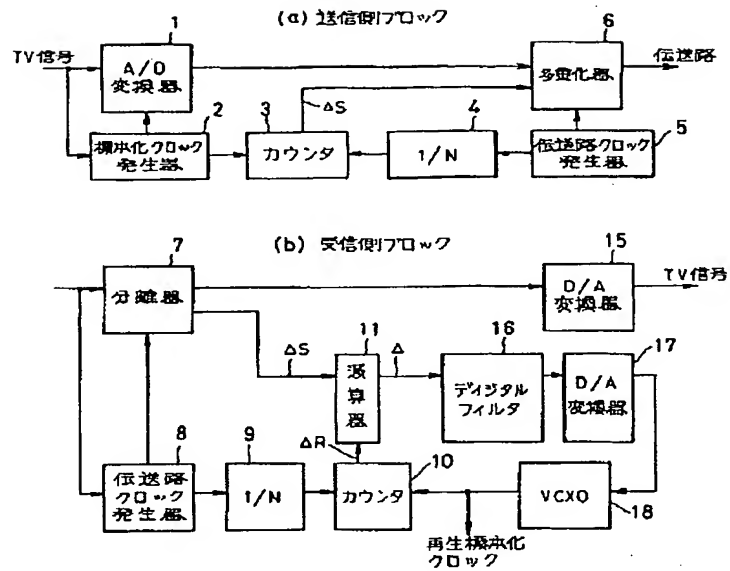
【図 5】



【図 6】



【図 7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.